



DISEÑO LÓGICO I

1. OBJETIVOS

- Obtener profundidad y destrezas en métodos de diseño lógico.
- Analizar y diseñar sistemas lógicos combinacionales y secuenciales usando soporte matemático.
- Destrezas en el uso de la Máquina de Estado Finito para el análisis y síntesis de Sistemas Secuenciales.

2. CONTENIDOS

1) TEMA 1

CODIFICACION DE LA INFORMACION: Serie. Paralelo. CODIGOS: BCD. De Gray. ASCII. ALGEBRA DE BOOLE: Operadores de Boole. Propiedades básicas. Teorema de De Morgan. FUNCIONES DE BOOLE: Definición. Propiedades. Funciones especiales: O-exclusivo. Coincidencia. Mayoría. Operadores universales. COMPUERTAS DE TRES ESTADOS: Definición. Concepto de bus. Utilidad.

2) TEMA 2

REPRESENTACION DE LAS FUNCIONES DE BOOLE: Tabla de verdad. Forma algebraica. Formas normales. Forma Sigma. Mapa de Karnaugh. Con compuertas lógicas. Con contactos. LENGUAJE DE DESCRIPCION DE HARDWARE: Formato del HDL. VHDL. Señales y tablas. Operadores lógicos, aritméticos y relacionales. Librerías básicas. HERRAMIENTAS DE DISEÑO: Entrada de diseño. Compilador. Verificación del proyecto.

3) TEMA 3

MINIMIZACION DE FUNCIONES DE BOOLE: Métodos algebraicos. Método Gráfico: Mapas de Karnaugh para funciones de hasta cinco variables. Método Tabular. TABLA DE CUBRIMIENTO: Construcción de la tabla. Criterios de elección. CONDICIONES DE INDIFERENCIA: Definición. Su uso en la minimización.

4) TEMA 4

SISTEMAS COMBINATORIOS: Definición de dipolo. Definición de multipolo. SINTESIS CON CIRCUITOS INTEGRADOS DE PEQUEÑA ESCALA: Formas comerciales. Métodos de síntesis. SINTESIS CON COMPUERTAS NOO, NOY: Formas comerciales. Métodos de síntesis. Diseño modular. SINTESIS CON COMPUERTAS O-EXCLUSIVA: Formas comerciales. Métodos de síntesis. COSTO DE UNA SINTESIS: Fundamentos, criterios. ANALISIS DE SISTEMAS COMBINATORIOS: Necesidad. Métodos. CARRERAS EN SISTEMAS COMBINATORIOS: Planteo del problema (retardos). Solución.

5) TEMA 5

CIRCUITOS INTEGRADOS DE MEDIANA ESCALA: Definiciones. SUMADORES: Medio sumador. Sumador completo. Diseño de un sumador completo para un bit. Diseño de un sumador para n bits. Sumador serie. Sumador paralelo. Sumador paralelo con anticipo de llevo. MULTIPLEXORES: Descripción. Formas comerciales. Métodos de síntesis de funciones. Diseño modular. DECODIFICADORES: Descripción. Formas comerciales. Método de síntesis de funciones multipolos. CODIFICADORES: Descripción. Formas comerciales. Aplicaciones. DEMULTIPLEXORES: Descripción.



Formas comerciales. Aplicaciones. COMPARADORES BINARIOS: Comparadores de un bit. Comparadores de n bits. Formas comerciales. CIRCUITOS DETECTORES DE ERROR: Circuitos de paridad. UNIDAD ARITMETICA LOGICA: Descripción. Formas comerciales. MSI EN VHDL: Mx, DMx, Sumadores, Decodificadores, Codificadores, ALU, Comparadores.

6) TEMA 6

CIRCUITOS INTEGRADOS DE GRAN ESCALA. PLD: Definiciones. ROM: Descripción. Distintos tipos. Formas comerciales. Implementación de funciones lógicas. PLA: Descripción. Implementación de funciones lógicas. PAL: Descripción. Implementación de funciones lógicas.

7) TEMA 7

Descripción. Tipos. Sistemas Sincrónicos. MAQUINA DE ESTADO FINITO: Definición. Nomenclatura. Características. REPRESENTACION DE LOS SISTEMAS SECUENCIALES SINCRONICOS: Tabla, diagrama y matriz de transición. CLASIFICACION DE ESTADOS Y SUBMAQUINAS: Persistentes. Aislados. Transitorios. Importancia. DISTINTOS MODELOS DE MEF: Mealy, Moore, Grafcet.

8) TEMA 8

ESTADOS EQUIVALENTES: Definiciones. Estados k-equivalentes. Tabla de pares. MINIMIZACION DE MEF: Definiciones. Forma mínima de una máquina. Clasificación.

9) TEMA 9

SISTEMAS SECUENCIALES SINCRONICOS: Diagrama en bloques. ELEMENTOS DE MEMORIA BINARIOS: Flip-flops tipo T, D, RS, JK. SINTESIS DE SISTEMAS SECUENCIALES SINCRONICOS USANDO FLIP FLOPS: Método de trabajo. Asignación de estados. Reglas. Funciones de excitación. ELEMENTOS DE MEMORIA N-ARIOS: Contadores y Registros de Desplazamiento. Distintos tipos comerciales. SINTESIS USANDO CONTADORES: Asignación de estados. Reglas. SINTESIS USANDO REGISTROS DE DESPLAZAMIENTO: Asignación de estados. Reglas. ANALISIS DE SISTEMAS SECUENCIALES SINCRONICOS: Razones. Método. Solución para los estados sobrantes. ELEMENTOS DE MEMORIA SINCRÓNICOS y MEF EN VHDL: Flip Flops T, D, RS, JK, Contadores, Registro de desplazamientos.

10) TEMA 10

INTRODUCCIÓN A LAS FPGAS: Evolución de los Dispositivos Programables. Definición de un FPGA. Bloque Lógicos. Recursos de Interconexión. Aspectos Económicos. Aplicaciones de las FPGAs. FPGAS disponibles comercialmente. FLUJO DE DISEÑO DE UN FPGA: Entrada de diseño. Traducción. Partición. Ubicación. Verificación.

11) TEMA 11

SISTEMAS DE DESARROLLO EXPERIMENTALES: Descripción. Características. Alimentación. Oscilador. Puentes de configuración. DISPOSITIVOS Cyclone II y Cyclone IV: Terminales de acceso a señales del dispositivo. Visualización. Puertos de Expansión. Verificación. Implementación. Puerto VGA. Puerto Mouse.



12) TEMA 12

CONVERSIÓN A/D: Rampa. De seguimiento. De aproximaciones sucesivas. Flash. Circuitos básicos y parámetros. CONVERSIÓN D/A: Métodos y parámetros.

3. BIBLIOGRAFÍA

- A. Gill. Theory of finite-State machines. Mc Graw Hill. 1962.
- E. Mandado Pérez, L. J. Álvarez y M. D. Valdés. Dispositivos lógicos programables digitales. Thomson. 2003.
- E. Mandado Pérez & Y. Mandado Rodríguez. Sistemas electrónicos digitales. Marcombo-Alfaomega. 2008.
- J. F. Wakerly. Diseño digital: principios y prácticas. Pearson Educación. 2001.
- M. Morris Mano. Fundamentos de diseño lógico y computadoras. Prentice-Hall Hispanoamericana. 1998.
- M. Morris Mano. Diseño digital. Pearson Educación. 2003.

4. METODOLOGÍA DE ENSEÑANZA

- La actividad curricular se desarrolla en aula y laboratorio. Las clases son teórico-práctica con activa participación de los alumnos. Los materiales didácticos utilizados son libros, apuntes, manuales, internet.
- Se desarrollan los aspectos tópicos en 12 unidades temáticas. Estas unidades se presentan en clases teóricos-prácticas siguiendo la resolución de problemas tipos. Se motiva al alumno para que las clases sean activas con su propia participación en la pizarra.
- Se realizan trabajos prácticos de resolución de problemas en conjunto estudiantes – docentes y en forma individual. Se resuelven casos de aplicación práctica. Los problemas a se hallan disponibles con una semana de anticipación. Se pretende reforzar los conocimientos adquiridos en las clases teóricas-prácticas.
- Se prevén tres trabajos prácticos de software en el Laboratorio de Redes en los que los alumnos, de a dos o individualmente trabajan diseñando y programando diseños lógicos empleando unidades educativas de desarrollo para programar dispositivos FPGAs.
- La asignatura dispone de un aula virtual <http://www.facetvirtual.unt.edu.ar/course/view.php?id=112>, donde los alumnos pueden realizar todo tipo de inscripciones y consultas. En ella se colocan: temario de parciales y exámenes, enunciado de Trabajos Prácticos, notas, apuntes, transparencias y toda información que el equipo considera de utilidad para el cursado de la materia.

5. EVALUACIÓN

La aprobación se puede obtener de tres maneras:

- Aprobando 2 evaluaciones parciales de problemas similares a los propuestos en los Trabajos Prácticos, presentando en tiempo y forma de los informes correspondientes a los Trabajos Prácticos de Laboratorio, y superando un examen final escrito en el que alumno debe desarrollar, durante aproximadamente 2 horas, tres unidades temáticas elegidas al azar.



- Aprobando 2 evaluaciones parciales de problemas similares a los propuestos en los Trabajos Prácticos, presentando en tiempo y forma de los informes correspondientes a los Trabajos Prácticos de Laboratorio, y superando 6 evaluaciones escritas de temas teóricos-prácticos tomadas cada 15 días durante el cuatrimestre.
- Examen libre: a lo largo de una semana se debe aprobar 2 parciales de Trabajos Prácticos, realizar Trabajo de Laboratorio y superar examen final escrito.

6. CARGA HORARIA

6 horas semanales que en 16 semanas de clases totalizan 96 horas. Estas horas se distribuyen de la siguiente manera 48 horas clases teóricos-prácticas, 28 horas en clases prácticas, 10 horas en proyectos/diseño y 10 horas en prácticas de laboratorio con herramientas de diseño.

7. OTRA INFORMACIÓN

- Dentro del ámbito de la cátedra se han realizado numerosos Proyectos de Graduación y Prácticas Supervisadas conducido por docentes del equipo.
- El equipo docente está en permanente contacto con los docentes de las asignaturas afines dentro de la carrera tanto horizontal como verticalmente.