

Equipo para Medición de Volumen Cardíaco Basado en Dispositivo Lógico Programable

María de los A. Gómez López y Myriam C. Herrera

Se presenta el diseño de un sistema catéter de conductancia de 5 segmentos para determinaciones del volumen intraventricular. El diseño incluye una parte analógica y otra digital interconectadas entre sí. Una etapa generadora de inyección de corriente, otra de multiplexado, una etapa de amplificación aislada con filtrado y las conversiones A/D y viceversa, forman parte de la primera. El diseño digital, implementado en un integrado Field Programmable Gate Arrays (FPGA, FLEX 10K, Altera), genera la portadora y controla la amplitud de la corriente inyectada para luego procesar las señales recogidas en el catéter incluyendo la demodulación y presentación de las conductancias representativas de los volúmenes intraventriculares. Se describen en detalle los circuitos y los parámetros de cada uno de ellos. El desempeño del sistema digital se evalúa mediante simulaciones usando señales reales medidas con un sistema conductimétrico analógico desarrollado previamente. Finalmente, se presenta la respuesta lineal del sistema como resultado de una prueba de calibración con resistencias conocidas.

Palabras clave: Función ventricular, diseño digital, volumen intraventricular, Altera.

Equipment for Cardiac Volume Measurements Based on Programmable Logic Devices

A new design of 5 segments conductance catheter system for determinations of intraventricular volume is presented. It includes an analogical and a digital block, interconnected each other. The analogical block consists of the following stages: current injection generator, a multiplexer, an isolated amplification with filters and A/D and D/A converters. The digital design is implemented in an integrated Field Programmable Gate Arrays (FLEX 10K, Altera). Some of its functions are carrier generation, amplitude gain control of the injected current and signal processing of the multielectrode catheter's conductances including its demodulation. It gives the total conductance value in the output. All circuits and their parameters are described in detail. The digital system performance is evaluated by means of simulations using real conductance signals previously obtained. Finally, the total system linear response, obtained by means of a calibration test performed with well-known input resistance values, is shown.

Key words: Ventricular function, digital design, intraventricular volume, Altera

Introducción

La caracterización de la función cardíaca global - **Herrera** (1996)- incluye la medición de índices cuantitativos tales como el llenado diastólico, volumen sistólico, las presiones de las cámaras cardíacas; el parámetro que interesa en este caso, es el volumen ventricular izquierdo (VIV).

La técnica catéter de conductancia permite obtener señales de VIV y utilizando lazos presión-volumen (PV), monitorear la función ventricular en salas de cateterismo. En la bibliografía se describen equipos de este tipo en su mayoría construidos con dispositivos analógicos - **Herrera et al** (1986). En este trabajo se presenta un sistema catéter de conductancia implementado en forma digital -en su mayor parte- utilizando un dispositivo FPGA (Field Programmable Gates Arrays). Esta particularidad permite un sistema altamente inmune al ruido, de bajo consumo y principalmente compacto.

Fundamentos teóricos

Resumidamente, la técnica de catéter de conductancia (CC) aplica una pequeña corriente de amplitud y frecuencia constante dentro de la cavidad ventricular usando los electrodos extremos de un catéter multielectrónico y se miden las conductancias de 5 secciones del ventrículo con los 6 electrodos internos restantes, **Baan et al** (1981), **Baan et al** (1982), con $i=1, \dots, 5$.

Si se considera cada sección como un pequeño cilindro de altura L -igual a la separación entre electrodos- la conductancia del cilindro mencionado será

$$G_i = \frac{S_i}{\rho * L} \quad (1)$$

donde ρ es la resistividad de la sangre y S_i es el área de la sección transversal del i -ésimo cilindro de volumen $V_i = S_i * L$.

Como consecuencia, si (1) se multiplica y divide por L se obtiene

$$G_i = \frac{1}{\rho * L^2} * V_i = K * V_i \quad (2)$$

La íésima-conductancia resulta directamente proporcional al volumen del íésimo-cilindro. La conductancia total se obtiene sumando las conductancias de todas las secciones:

$$G_T = \sum_{i=1}^5 G_i = K * V_T \quad (3)$$

donde V_T representa al volumen total.

La calibración de la conductancia total en términos de volumen es compleja debido a las múltiples aproximaciones en el modelado del corazón y de los tejidos circundantes, **Murg and Baan** (1984), **Spinelli and Valentinuzzi** (1986). Los diagramas de presión-conductancia (PIV-GIV) son una valiosa herramienta para estudiar los cambios en la función ventricular, **Spinelli et al** (1986), **Clavin et al** (1986).

Descripción del Equipo

Basados en los conceptos teóricos precedentes, se desarrolla un equipo, figura 1, con un sector analógico y otro digital (sombreado).

A. La parte analógica

La figura 1 presenta un esquema del catéter de múltiples electrodos (CM) ($n=8$) en serie con la resistencia R_2 sobre la que se mide la corriente inyectada $I(AC)$ ($42\mu A$ de pico, $1.2kHz$). La etapa de inyección de corriente se implementa con un amplificador de transconductancia (OTA), que previamente aislado, recibe la oscilación correspondiente de un conversor digital analógico (DAC).

La corriente $I(AC)$ circula, a través de R_2 , al interior del ventrículo izquierdo entre los electrodos 1 y 8, produciendo caídas de potencial en cada una de las 5 secciones. De la misma manera, la corriente genera un potencial sobre la resistencia testigo ($R_2 * I$). Estas tensiones ingresan a una red de filtros pasa altos (PA2) y de allí a un multiplexado analógico, con entrada y salida diferencial. El multiplexor (Mx) toma la señal directamente del filtro PA2 y se conecta a un único amplificador de instrumentación (AI). Tanto la inyección de corriente (OTA) como el filtro pasa alto (PA2) y como el amplificador de instrumentación (AI) poseen una etapa de aislación implementada con dos opto aisladores (OA1 y OA2) (figura 1, encerrada en línea de trazos). El sector aislado -manejo de paciente- se alimenta con baterías. Los circuitos sumadores en la entrada de OA1 y OA2 (S1 y S2) proporcionan los niveles de corriente continua

necesarios para polarizar los opto aisladores. A la salida de OA1 y OA2 se agregan un filtro pasa alto y un diferenciador (PA1 y DIF respectivamente) y tienen la finalidad de eliminar los niveles de corriente continua incorporados por S1 y S2 necesarios para la polarización.

A su vez, el amplificador AI -aislado a través de OA1 y OA2- se conecta a un conversor analógico-digital (ADC), previo filtro pasa bajo PB1. ADC ingresa los datos como una palabra binaria al dispositivo digital de cálculo (FLEX 10K).

Por último, un aislador digital (AD) se encarga de "aislar" las líneas de selección del multiplexor (Mx).

B. La parte digital

La etapa digital (sombreada en la figura 1) es un diseño lógico programado íntegramente en un dispositivo FPGA FLEX10k20RC240 de Altera [1]. Las ecuaciones lógicas se implementan con el sistema de desarrollo MAX+PLUS II ingresando el diseño en forma esquemática y en lenguaje de descripción de hardware de Altera (AHDL). El diseño lógico consiste en: a) la generación de la señal de portadora $I(D)$ cargada en una memoria ROM, b) el bloque de control automático de ganancia que mantiene estable la señal de portadora a través de un comparador de magnitud AGC ROM, c) la demodulación a través de demodulación coherente digital, **Gómez López y Herrera** (2004), d) la división de corriente en tensión DIV, e) el sumador Σ que ejecuta la suma total o parcial de las conductancias de cada sección, f) el bloque modulador por ancho de pulso PWM que posibilita recuperar, junto al filtro pasa bajo PB2, la señal de conductancia total o parcial y g) el bloque de CONTROL que sincroniza y secuencia la totalidad de las tareas, tanto de la parte analógica, como del sector digital.

Resultados

La etapa digital se programa en el integrado de la familia FLEX 10K de la plaqueta educacional UP1 Education Board de Altera [2].

El bloque lógico funcional AGC ROM cuenta con una memoria ROM programada en los bloques EAB (Embedded Array Block) del dispositivo FLEX 10 K. La ROM guarda 12 funciones senoidales de $1.2kHz$. Éstas difieren en un 2% de amplitud y tienen 60 valores de 12 bits para reconstruir la función seno. Inicialmente, la memoria entrega en su salida la función senoidal de amplitud media $I(D)$. Esto se consigue recorriendo cíclicamente a $72kHz$ (clk, señal de reloj externa) cada una de las 60 direcciones ADDR de esa función. Al cabo de 60 pulsos de clk se genera un período de la función seno. $I(D)$ se programa como bus de salida del FLEX10K e ingresa al (DAC) conversor digital-

analógico AD667 [3] (Analog Devices) de 12 bits y de 2 μ s de “settling time”. La salida analógica del DAC alimenta a un sumador (S1) LF356 [4] (National) y éste a un opto aislador (OA1) 4N28 [5] (ISOCOMP Components). S1 entrega en su salida una señal variacional de 153 mV de pico sobre una tensión directa de -2.20 V necesaria para la polarización del 4N28. El 4N28 cuenta con una tensión de aislación de 7500 VAC y con un diodo emisor infrarrojo que se polariza con una tensión directa de 1.1 V entre ánodo y cátodo. El fototransistor del 4N28 conecta su colector a los +6 V de una batería de +6V/-6V y su emisor a una resistencia de 562 Ω conectada a la masa de la batería. El emisor entrega una tensión directa de 1 V más una tensión alterna de 170.3 mV de pico.

La salida de OA1 (emisor del 4N28) se conecta a un filtro pasa alto PA1 de frecuencia de corte 602 Hz. PA1 se emplea para eliminar el nivel de tensión continua proporcionado por OA1 y para ajustar la ganancia al valor adecuado de la señal v_i . v_i es la entrada del amplificador de transconductancia (OTA) implementado con un circuito integrado LF356 que genera la corriente $I(AC)$ de 42 μ A de pico. OTA provee $I(AC)$ tal que $I(AC)=g_m*v_i$, entonces, regulando g_m mediante la resistencia R_1 y el valor de v_i mediante la ganancia de PA1 se obtiene una $I(AC)$ de 42 μ A.

Cada uno de los electrodos de CM se conectan a la red que contiene 8 filtros pasa altos pasivos RC de frecuencia de corte de 282 Hz (PA2). PA2 suprime las tensiones directas debido a las impedancias de contacto de la interfase electrodo-sangre y se conecta a las terminales de entrada de Mx.

Las diferencias de potencial de las 5 secciones del catéter y de R_2*I provenientes de PA2 se conectan a las 6 canales del multiplexor analógico Mx CD4097 [6] (Texas Instruments) de 8 entradas diferenciales y una única salida diferencial. El direccionamiento de Mx se realiza por 3 líneas de control binarias CMOS compatibles TTL manejadas por FLEX 10K las que se aíslan con 3 opto acopladores (AD) 6N137 [7] (ISOCOM Components) de 2500 VAC de aislación y compatibles TTL.

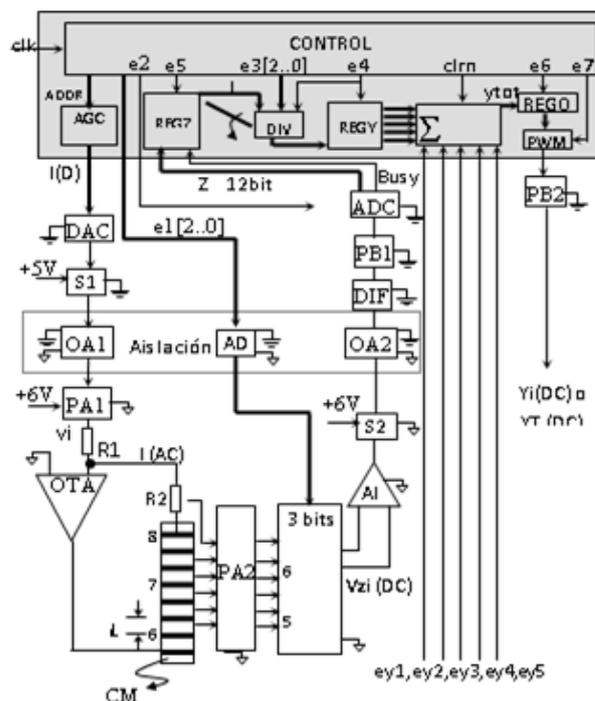


Fig. 1 Diagrama en bloques del Conductímetro multicanal (CC). CM, esquema del catéter multielectrónico. Bloque digital; sombreado. Las líneas gruesas simbolizan bus de datos; las delgadas, líneas de conexión simple. Ver detalles en el texto.

Se conoce que la diferencia de potencial que se obtiene en cada sección del catéter es una señal de amplitud modulada doble banda lateral con portadora; luego, para recuperar sólo la señal biológica se requiere un proceso de “demodulación”. El método utilizado es la demodulación coherente digital, **Gómez López y Herrera** (2004). Consiste en muestrear la señal modulada en los picos positivos de la portadora $I(AC)$, que a su vez, es generada digitalmente en la ROM del FLEX 10 K. Se eligió “gatillar” el multiplexor (Mx) en 6 posiciones temporales alrededor del pico de la portadora. De esta manera, de las 60 direcciones lógicas de un ciclo de portadora se eligieron las ADDR 13 a 18 para las 5 secciones y R_2*I . La lógica necesaria para controlar Mx es un bloque funcional de CONTROL del FLEX 10 K que usa un bus de tres bits: $e1[2..0]$. La salida diferencial de Mx V_{zi} (DC) contiene datos en serie de los 5 canales y de la corriente. Es de baja amplitud (3.6 mV para una resistencia de 99.8 Ω); luego requiere amplificación. Se incorpora en la salida de Mx un amplificador de instrumentación (AI) AD620 [8] (Analog Devices) con una ganancia de 297 veces. Ésta se calcula considerando que la máxima señal que ingresa a AI es la tensión desarrollada en R_2*I (donde $R_2 = 99.8 \Omega$ e $I = 42 \mu$ A) y para evitar saturación en la salida (alimentación ± 6 V). La señal amplificada ingresa al circuito sumador (S2)

implementado con un LF356 (National) y su salida a un opto aislador (OA2) 4N28 (ISOCOMP Components). S2 entrega en su salida una señal variacional en el rango de 37.5 mV a 1.21 V de pico para resistencias que van desde 1.6 Ω a 99.8 Ω sobre una tensión directa de -3.03 V necesaria para la polarización del 4N28. El fototransistor del 4N28 conecta su colector a los +15 V de una fuente de alimentación de +15V/-15V y su emisor entrega una tensión directa de 2.62 V más una tensión alterna que varía entre 56.4 mV y 1.82 V para el mismo rango de resistencias.

La salida de OA2 (emisor del 4N28) se conecta a un a un circuito diferenciador (DIF) implementado con un LF356. DIF tiene como función suprimir el nivel de tensión continua suministrado por OA2. La salida de DIF se conecta al un filtro activo pasa bajo (PB1) de frecuencia de corte de 7.049 Hz que se emplea para filtrar ruidos de alta frecuencia y para ajustar la ganancia al valor adecuado para obtener máxima excursión a la salida sin saturación (10 V pico).

La salida de PB1 alimenta al conversor analógico-digital ADC (ADS7800 [9]) de 12 bits y tiempo de muestreo de 2.7 μs. Éste posee internamente un conversor A/D de aproximaciones sucesivas con muestreo y retención y rango de tensión de entrada ±10 V. La señal e2, proveniente de FLEX 10K, es activa en BAJO e indica al ADC que comience la conversión. La señal "Busy" se origina en el ADC y se mantiene en un nivel BAJO mientras dure la conversión; pasa a nivel ALTO cuando finaliza la conversión y se transmite la palabra binaria a la salida. Durante la conversión las salidas binarias se mantienen en alta impedancia y se inhiben todas las líneas de entrada del ADC. "Busy" ingresa a FLEX 10K e indica al bloque lógico funcional REGZ que almacene la palabra binaria. REGZ es un registro de 6 direcciones, de 12 bits cada una, que se habilita con "Busy" y tiene como función "guardar" las 6 señales de los canales de Mx cuando la señal e5 lo habilite. El bloque lógico DIV tiene como función leer las palabras binarias de REGZ cuando e3[2..0] lo habilite e implementar la división entera entre la celda que contiene R2*I y cada una de las 5 celdas que contienen la diferencia de potencial de cada sección del catéter siempre que e4 lo habilite. e4 también permite que los resultados de las divisiones se guarden en REGY. REGY es un bloque lógico funcional que representa un registro de 5 direcciones de 12 bits cada una. Cada dirección contiene los valores de las conductancias de cada sección del catéter. El bloque lógico Σ tiene la función de implementar la suma digital de las 5 conductancias "guardadas" en REGY. Esta suma se implementa seleccionando los sumandos con las entradas digitales ey1,...,ey5. De esta manera, se puede tener en la salida de 12 bits del bloque Σ (ytot), la conductancia de cada sección, la conductancia total (suma) o cualquier combinación de sumas parciales

de secciones. El resultado de la suma se almacena en un registro REGO de 12 bits cuando la señal e6 lo habilite. El bloque lógico PWM, habilitado por e7, lee la palabra binaria de 12 bits de REGO e implementa una señal binaria de un bit cuyo ancho de pulso se modula de acuerdo al valor entero de la palabra de entrada. Finalmente, la salida de PWM -salida principal del FLEX 10K- ingresa a un filtro pasa bajo PB2 de dos polos cuya frecuencia de corte es 30Hz. La salida de PB2 es la señal de conductancia analógica total o parcial del elemento biológico.

El bloque lógico AGC ROM merece una descripción más detallada. Su función es corregir en forma automática la amplitud de la corriente I(DC) para mantenerla constante. AGC ROM, además de la memoria ROM que almacena las 12 funciones senoidales, cuenta con un comparador que detecta si el valor máximo de corriente medido en el canal R2*I es mayor, igual o menor que el valor máximo de referencia que corresponde a la función de amplitud media entregado por la ROM a través de la palabra I(D). Si existe alguna diferencia, modifica la función de referencia para compensar la discrepancia.

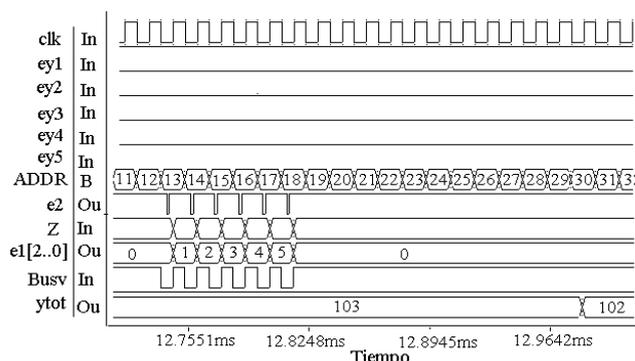


Fig. 2 Test Bench del software MAX+PLUS II. In; entadas., Ou, salidas. B, variables internas del FLEX 10K. ey1,...,ey5 se configuran con nivel ALTO para que ytot represente la suma de las 5 secciones. Se observan los estímulos de entrada clk, ey1, ey2, ey3 ey4, ey5, Z (12 bits) y e2. Las salidas son las señales e1[2..0], Busy y ytot. clk es la señal de 72 kHz y la gráfica muestra del pulso 11 al 31 de clk (ADDR). La variación de ADDR de 0 a 59 define un periodo de la señal de potadora I(AC).

A. Simulación en el Bloque Digital

Las pruebas de banco del bloque digital se efectúan con el simulador del software MAX+PLUS II (Altera). Utiliza como entradas la salida de 12 bits del ADC, figura 1. Estas señales de prueba se construyeron con registros reales de los 5 segmentos de un sistema catéter de conductancia SCC previamente desarrollado [2] incluyendo un acondicionamiento matemático. Estas se digitalizaron a 333 Hz y se extrapolaron para conseguir una frecuencia de muestreo de 72 kHz agregando 216 puntos (72 kHz/333 Hz) entre cada par de puntos consecutivos. Luego, se calcularon las inversas de las conductancias correspondientes a cada sección y se

generó una señal de portadora senoidal de 1.2 kHz muestreada a 72 kHz. Con un producto aritmético punto a punto se obtuvieron las 5 señales moduladas. Finalmente se multiplexa matemáticamente las 5 señales y la de la corriente (equivalente a la acción de M_x de la figura 1) y se digitaliza con 12 bits (equivale a Z en figura 1). De la misma manera se generan matemáticamente "Busy", ey_1 , ey_2 , ey_3 , ey_4 y ey_5 que junto a Z son los estímulos de entradas del *test bench* de MAX+PLUS II (figuras 1 y 2).

Como salidas del *test bench* se obtienen el valor de conductancia total intraventricular (y_{tot}), las señales digitales $e1[2..0]$ y $e2$. La figura 2 muestra el reporte secuencial de las variables mencionadas.

Los resultados de la figura 2 indican un correcto funcionamiento temporal del dispositivo lógico pero resultan más claros si se grafican simultáneamente y_{tot} y la señal original de SCC. El resultado se muestra en la figura 3.

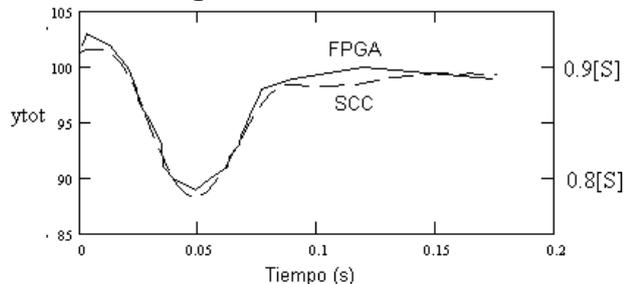


Fig. 3 Comparación de las señales de conductancia intraventricular medidas con el equipo SCC y con el equipo que incorpora tecnología digital FPGA.

B. Evaluación del Bloque Analógico

En la etapa analógica resulta crítico que la corriente $I(AC)$ no varíe en función de la impedancia de cada sección del catéter. Se hicieron pruebas de banco para medir la constancia de $I(AC)$ con modificaciones de la carga; esto es, se colocan resistencias de valores conocidos (tolerancia 1%, $\frac{1}{4} W$) en los segmentos del catéter y se lee la lectura o la diferencia de potencial a la salida de AI (ver figura 1) para cada valor de resistencia. Los resultados se presentan en la figura 4 para un único segmento. Se observa una respuesta lineal en el rango esperado de valores. La pendiente de esta recta es la corriente inyectada. No se incluyen los demás segmentos en el análisis porque presentan la misma respuesta.

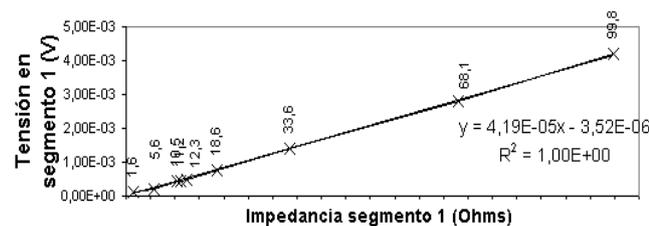


Fig. 4 Tensión de la sección 1 del equipo digital en función de las resistencias colocadas en la entrada del catéter. La pendiente de la recta corresponde a la corriente inyectada;

$I(AC)=42 \mu A$ en este caso. Los valores numéricos sobre la recta corresponden a las resistencias en ohmios. La ecuación presentada es la regresión lineal de esos puntos y su coeficiente de correlación.

Discusión y conclusiones

La implementación del diseño lógico en un dispositivo FPGA otorga la posibilidad de que los circuitos sean reconfigurados en hardware en fracciones de segundos. Esta característica le da gran flexibilidad al diseño contrario a los procesadores DSP limitados por la arquitectura fija del hardware. Un FPGA cuenta con una arquitectura dedicada, estructura de bus dedicada, memoria dedicada, bloques aceleradores de hardware dedicados y un número variable de bloques multiplicador-acumulador -Altera Corp. (2002 a y b) Esto permite implementar aplicaciones DSP, necesarios para el preacondicionamiento de la señal, con una velocidad de hasta 1000 veces superior que un microprocesador DSP tradicional [10].

Existen errores inherentes a la técnica de demodulación coherente digital que se aplica en el multiplexado que hay que minimizar. El más significativo es el error que se comete al no muestrear la señal de AM en los picos positivos de la señal de portadora. Se demostró, mediante simulación, que a medida que aumenta el defasaje entre el punto de muestreo de la señal de AM y el pico positivo de la señal de portadora, la señal que se recupera disminuye en amplitud. Se probó, mediante una señal senoidal de 1.2 kHz montada sobre un nivel de continua, que multiplexando con 6 canales en las proximidades del pico positivo de la señal de AM, se disminuye el error de atenuación por defasaje. En los canales extremos el error de atenuación es del 13.5%, en los siguientes internos es del 4.6% y en los centrales es menos del 1.5%. El error en los canales extremos es considerable y se puede minimizar si se distribuyen estratégicamente los canales de M_x (ver figura 1). Del estudio de señales reales [2] se sabe que en un sistema catéter de conductancia los segmentos centrales (2, 3, y 4) son más significativos que los extremos (1 y 5), entonces si se multiplexa en el siguiente orden: segmento 1, segmento 2, corriente, segmento 3, segmento 4 y segmento 5; el error que se comete es menor que el 1.8% en canales extremos y menor que 0.25% en los canales centrales. De esta manera, el error de las señales más pequeñas tiene menor peso en la suma total de la conductancia intraventricular.

El diseño lógico del bloque CONTROL en el FLEX 10K es crítico puesto que aquí se originan todas las señales de sincronismo del equipo. Las señales digitales $e1[3..0]$, $e2$, $e3[2..0]$, $e4$, $e5$, $e6$ y $e7$ son las que dan secuencialidad a la ejecución de tareas y están perfectamente sincronizadas con la señal clk de 72 kHz. Habilita la lectura de la ROM que entrega la señal de portadora (1.2 kHz) y maneja las líneas

de control del Mx que si multiplexa las secciones en el momento adecuado garantiza el éxito de la demodulación.

Finalmente, el dispositivo ha sido evaluado en forma parcial por bloques de diseño pero requiere una

exhaustiva evaluación de banco y experimental de modo integral.

Agradecimientos

Al Dpto. de Electricidad, Electrónica y Computación de la Facultad de Ciencias Exactas y Tecnología de la Universidad Nacional de Tucumán por su colaboración con la placa UP Education Board que contiene el dispositivo FPGA FLEX10k de Altera.

Este trabajo es financiado por el consejo de Investigaciones de la UNT (CIUNT E349/1_2005) y aportes del Instituto Superior de Investigaciones Biológicas (INSIBIO, CONICET).

Fue seleccionado como el mejor trabajo del área "Núcleo Disciplinario Microelectrónica", en las XIII Jornadas de Jóvenes Investigadores, Asociación de Universidades Grupo Montevideo (AUGM), año 2005.

Información Técnica y Hojas de Datos

- [1] <http://www.altera.com/products/devices/flex10k/f10-index.html>
- [2] <http://www.altera.com/literature/univ/upds.pdf>
- [3] <http://www.analog.com/en/prod/0,2877,AD667,00.html>
- [4] <http://www.national.com/pf/LF/LF356.html>
- [5] <http://www.isocom.com/4n28.htm>
- [6] <http://focus.ti.com/docs/prod/folders/print/cd4097b.html>
- [7] <http://www.isocom.com/6N137.htm>
- [8] <http://www.analog.com/en/prod/0,,AD620,00.html>
- [9] <http://www.chipcatalog.com/TI/ADS7800.htm>
- [10] <http://www.andraka.com/dsp.htm>

Referencias

- Altera Corp.**, (2002a) *FPGAs Provide Reconfigurable DSP solution White Paper*, versión 1.0.
- Altera Corp.**, (2002b) *Using PLDs for High-Performance DSP Applications*, White Paper, versión 1.0.
- Baan J, Aouw Jong TT, KerKhof PLM, Moene RJ, Van Dijk AD, Van der Velde ET, Koops J**, (1981) "Continuous stroke volume and cardiac output from intraventricular dimensions obtained with impedance catheter". *Cardiovascular Research* 15, pp 328-334.
- Baan J, Aouw Jong TT, Van der Velde ET, Van Dijk AD, KerKhof PLM, Buis B, Koops J** (1982) *Ventricular volume measured from intracardiac dimensions with impedance catheter: theoretical and experimental aspects*. In: Kenner T, Busse R, Hinghefer-Szalkay H (eds) *Cardiovascular System Dynamics: Model Measurements*. Plenum Published corp., pp 569-579.
- Clavin OE, Spinelli JC, Alonso H, Solarz P, Valentinuzzi ME, Pichel RH** (1986) "Left intraventricular pressure-impedance diagrams (DPZ) to asses cardiac function (Part I): morphology and potential sources of artifacts". *Medical Progress through Technology*, 11, pp 17-24.
- Gómez López M A, Herrera MC** (2004) "Técnica de demodulación en señales biológicas". *Revista Argentina de Bioingeniería* 10, pp 17-21.
- Herrera MC.** (1996) *Determinación de volúmenes por impedancimetría*. Cap. 1. Tesis doctoral. Universidad Nacional de Tucumán.
- Herrera MC, Clavin OE, Spinelli JC, Valentinuzzi ME, Cabrera Fischer E & Pichel RH** (1986) "Multichannel tetra polar admittance meter (MY) for intracardiac volume measurements in animals". *Medical Progress through technology*, 11, pp 43-49.
- Mur G, Baan J** (1984) "Computation of the input impedances of a catheter volumetry". *IEEE Transactions on Biomedical Engineering* 31, pp 448-453.
- Spinelli JC, Valentinuzzi ME** (1986) "Conductivity and geometrical factors affecting volume measurements with and impedancimetric catheter". *Medical and Biological Engineering and Computing*, 24, pp 460-464.

Spinelli JC, Clavin OE, Cabrera EI, Chartruc MR, Pichel RH, Valentinuzzi ME (1986) "Intraventricular pressure-impedance diagrams (DPZ) to assess cardiac function (Pat II): determination of end-systolic loci". *Medical Progress through Technology*. 11, pp 25-32.

María de los Angeles Gómez López

La Ingeniera Electrónica María de los Angeles Gómez López, egresada de la UNT, es docente del Departamento de Electricidad, Electrónica y Computación, FACET, UNT, en las materias Diseño Lógico I y Electrónica II. Es miembro activo de la Comisión Académica de la carrera de Ingeniería Electrónica. Terminó de hacer y cursar todos los cursos de la Maestría en Bioingeniería de la FACET. Actualmente se encuentra haciendo su Tesis de postgrado en el Departamento de Bioingeniería y participa de dos proyectos de investigación: uno del CIUNT, y otro del CONICET. Tanto su tesis como sus áreas de investigación y docencia están orientadas a la aplicación de las técnicas digitales.

mgomezlopez@herrera.unt.edu.ar

Myriam C. Herrera

Ing. Electricista (Or. Electrónica) y Dra. en Bioingeniería, UNT. Profesor Asociado (UNT) desempeñando funciones en el Dep. de Bioingeniería (FACET), docente del Magister en Bioingeniería y del Doctorado en Ciencias Biológicas (INSIBIO, UNT). Es actualmente Directora de la carrera de Ingeniería Biomédica (FACET). Profesional Principal del CONICET, donde realiza tareas de investigación básica y aplicada. Ha publicado más de una decena de trabajos en revistas científicas nacionales e internacionales, ha publicado capítulos de libros. Recibió una Mención Especial en el Premio «Nuevas Ingenierías 1999» del Colegio de Ingenieros de Bs. As. y Agencia de Promoción Científica y Tecnológica. Áreas de incumbencia: Mecánica cardiovascular, desarrollos tecnológicos biomédicos, impedancimetría intracardíaca, evaluación de la salud vascular por técnicas no invasivas e ingeniería clínica. mherrera@herrera.unt.edu.ar